



ATTORNEY'S DOCKET NO.: S1022.81119US00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Jean-Baptiste QUOIRIN and Frederic LANOIS  
Serial No.: 10/762,592  
Filed: January 22, 2004  
For: MOS POWER COMPONENT WITH A REDUCED SURFACE AREA

Examiner: Unassigned  
Art Unit: Unassigned

Confirmation No. Unassigned

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir/Madam:

Transmitted herewith for filing is/are the following document(s):

- ☒ Certified Copy of French Priority Application No. 03/50989
- ☒ Return Post Card

If the enclosed papers are considered incomplete, the Mail Room and/or the Application Branch is respectfully requested to contact the undersigned collect at (617) 720-3500, Boston, Massachusetts.

No check is enclosed. If it is determined that a fee is necessary, the fee may be charged to the account of the undersigned, Deposit Account No. 23/2825. A duplicate of this sheet is enclosed.

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

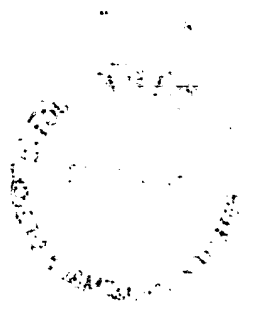
I hereby certify that this document is being placed in the United States mail with first-class postage attached, addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on February 23, 2004.

Attorney Docket No.: S1022.81119US00  
**XNDD**

Respectfully submitted,

*Jean-Baptiste Quoirin et al., Applicants*

By:   
James H. Morris  
Reg. No.: 34,681  
WOLF, GREENFIELD & SACKS, P.C.  
600 Atlantic Avenue  
Boston, Massachusetts 02210  
Tel. (617) 720-3500





# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 JAN. 2004

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr





# BREVET D'INVENTION CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg  
75800 Paris Cédex 08  
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B6275	

<b>1 NATURE DE LA DEMANDE</b>			
Demande de brevet			
<b>2 TITRE DE L'INVENTION</b>			
		COMPOSANT MOS DE PUISSANCE A SURFACE REDUITE	
<b>3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE</b>		Pays ou organisation	Date N°
<b>4-1 DEMANDEUR</b>			
Nom		STMICROELECTRONICS SA	
Rue		29, Boulevard Romain Rolland	
Code postal et ville		92120 MONTROUGE	
Pays		France	
Nationalité		France	
Forme juridique		Société anonyme	
<b>5A MANDATAIRE</b>			
Nom		DE BEAUMONT	
Prénom		Michel	
Qualité		CPI: 92-1016, Pas de pouvoir	
Cabinet ou Société		CABINET MICHEL DE BEAUMONT	
Rue		1, rue Champollion	
Code postal et ville		38000 GRENOBLE	
N° de téléphone		0476518451	
N° de télécopie		0476446254	
Courrier électronique		cab.beaumont@wanadoo.fr	
<b>6 DOCUMENTS ET FICHIERS JOINTS</b>		Fichier électronique	Pages Détails
Texte du brevet		textebrevet.pdf	15 D 12, R 2, AB 1
Dessins		dessins.pdf	3 page 3, figures 4, Abrégé: page 2, Fig.2
Désignation d'inventeurs			



<b>7 MODE DE PAIEMENT</b>				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		665		
<b>8 RAPPORT DE RECHERCHE</b>				
Etablissement immédiat				
<b>9 REDEVANCES JOINTES</b>	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
068 Revendication à partir de la 11ème	EURO	15.00	1.00	15.00
Total à acquitter	EURO			335.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.  
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**Signé par**

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



## BREVET D'INVENTION CERTIFICAT D'UTILITÉ

### Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : **X**

Demande de CU :

<b>DATE DE RECEPTION</b>	5 décembre 2003	
<b>TYPE DE DEPOT</b>	INPI (PARIS) - Dépôt électronique	Dépôt en ligne: <b>X</b>
		Dépôt sur support CD:
<b>N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI</b>	0350989	
<b>Vos références pour ce dossier</b>	B6275	

**DEMANDEUR**

Nom ou dénomination sociale	STMICROELECTRONICS SA
Nombre de demandeur(s)	1
Pays	FR

**TITRE DE L'INVENTION**

COMPOSANT MOS DE PUISSANCE A SURFACE REDUITE

**DOCUMENTS ENVOYES**

package-data.xml	Requetefr.PDF	application-body.xml
Design.PDF	ValidLog.PDF	fee-sheet.xml
FR-office-specific-info.xml	Comment.PDF	textebrevet.pdf
dessins.pdf	indication-bio-deposit.xml	request.xml

**EFFECTUE PAR**

Effectué par:	M.De Beaumont
Date et heure de réception électronique:	5 décembre 2003 15:02:56
Empreinte officielle du dépôt	39:58:C3:A4:25:5D:C8:7B:48:FE:91:E4:C3:5B:C7:F4:6F:6D:44:1D

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL  
INSTITUT 26 bis, rue de Saint Petersburg  
NATIONAL DE 75800 PARIS cedex 08  
LA PROPRIÉTÉ Téléphone : 01 53 04 53 04  
INDUSTRIELLE Télécopie : 01 42 93 59 30

### COMPOSANT MOS DE PUISSANCE À SURFACE RÉDUITE

La présente invention concerne un nouveau type de composant semiconducteur de puissance de type MOS, ce composant étant généralement qualifié de composant discret bien que plusieurs tels composants puissent être prévus sur une même puce, et/ou qu'ils puissent être associés à des circuits logiques prévus sur la même puce.

Les figures 1A et 1B sont une vue en coupe et une vue de dessus partielles d'un exemple de structure de transistor MOS de puissance vertical multicellulaire classique.

10 Ce transistor est constitué à partir d'une couche ou substrat 1 faiblement dopé de type N comportant du côté de sa face arrière une couche 2 fortement dopée de type N ( $N^+$ ). Contrairement à ce qui est représenté, la couche  $N^+$  peut être beaucoup plus épaisse que le substrat N. Du côté de la surface  
15 supérieure du substrat 1, sont formés des caissons P comprenant une partie centrale plus fortement dopée 3 et une partie périphérique plus faiblement dopée 4. Sensiblement au centre de ces caissons P, est formé un anneau 5 fortement dopé de type N. La  
20 partie 6 du caisson P externe à l'anneau N 5 est surmontée d'une grille conductrice 7 isolée par une mince couche isolante 8. La surface supérieure et la surface latérale de la grille 7 sont isolées par une couche isolante 9 et l'ensemble est revêtu d'une



métallisation de source MS. La face inférieure du composant est revêtue d'une métallisation de drain MD. Toutes les grilles 7 sont reliées à une borne de grille commune non représentée.

La figure 1B est une vue de dessus de la structure sans la grille et la métallisation de source MS. De mêmes éléments y sont désignés par les mêmes références qu'en figure 1A.

Pour la simplicité de la figure, on a représenté chaque cellule selon un motif carré. D'autres formes sont possibles et couramment utilisées. Quand la source est négative par rapport au drain et que la grille est convenablement polarisée, le courant s'écoule du drain à la source en passant par la région de canal selon les flèches I illustrées en figures 1A et 1B dans une portion de la structure. Des courants similaires circulent à partir de chacune des cellules. Ces courants s'écoulent essentiellement verticalement, d'où l'appellation de transistor MOS vertical.

Un inconvénient des transistors MOS de puissance verticaux réside dans leur résistance à l'état passant. En effet, des considérations pratiques rendent difficile d'optimiser les épaisseurs des diverses couches et régions en fonction des caractéristiques souhaitées du transistor. En particulier, l'épaisseur de la couche 1 de type N doit être suffisamment élevée pour que le composant ait une tension de claquage désirée mais doit être aussi faible que possible pour limiter la résistance à l'état passant du composant. La couche  $N^+$  2 sert à prendre un contact ohmique de drain sur la face arrière. Son épaisseur pourrait être réduite à quelques micromètres, mais cela conduirait à des épaisseurs de plaquette de silicium trop fines ( $<100 \mu m$ ), incompatibles avec les outils de production actuels. Aussi utilise-t-on des couches  $N^+$  2 très épaisses (quelques centaines de micromètres). Cette couche introduit alors une résistance série additionnelle qui réduit les performances à l'état passant du transistor.

Un autre inconvénient des composants verticaux est que la largeur de canal (périmètre des caissons P 4) dépend en

particulier de la surface de la puce semiconductrice occupée par le transistor et ne peut être augmentée au-delà de certaines limites.

On a décrit, uniquement à titre d'exemple de composant vertical de type MOS, un transistor MOS. Les problèmes indiqués ci-dessus concernent de façon générale les composants MOS de puissance ou haute tension verticaux, par exemple des transistors bipolaires à grille isolée (IGBT) et autres composants à commande en tension, de type MOS ou Schottky-MOS, à enrichissement ou à déplétion.

La présente invention vise à prévoir de nouveaux types de composants semiconducteurs MOS de puissance ou haute tension permettant d'éviter au moins certains des inconvénients susmentionnés des composants verticaux, en particulier d'augmenter la surface de jonction active par rapport à la surface de la puce dans laquelle le composant est formé, et de réduire la chute de tension à l'état passant.

Pour atteindre ces objets, la présente invention prévoit un composant MOS de puissance dans lequel les régions actives s'étendent perpendiculairement à la surface d'une puce semiconductrice sensiblement sur toute l'épaisseur de celle-ci.

Selon un mode de réalisation de la présente invention, les contacts avec les régions devant être connectées sont pris par des doigts conducteurs traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

Selon un mode de réalisation de la présente invention, les doigts conducteurs sont des doigts métalliques.

Selon un mode de réalisation de la présente invention, les jonctions ou limites entre régions sont disposées dans des plans orthogonaux aux faces principales de la puce.

Selon un mode de réalisation de la présente invention, les jonctions ou limites entre régions sont constituées de plusieurs cylindres orthogonaux aux faces principales de la puce.

Un transistor MOS de puissance selon l'invention comprend en alternance une région de source d'un premier type de

conductivité, une région intermédiaire, et une région de drain du premier type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat, les régions de source et de drain étant contactées par des doigts ou plaques conducteurs traversant sensiblement le substrat, des doigts conducteurs isolés et espacés traversant de haut en bas la région intermédiaire, la distance horizontale entre les doigts isolés étant telle que la région intermédiaire puisse être inversée quand une tension appropriée est appliquée à ces doigts isolés.

10            Selon un mode de réalisation de la présente invention, les doigts conducteurs pénétrant dans des régions faiblement dopées de type N sont entourés de régions fortement dopées de type N.

15            Un transistor IGBT selon l'invention comprend en alternance une région de source d'un premier type de conductivité, une région intermédiaire, une région de drain du premier type de conductivité et une région supplémentaire du deuxième type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat, la région de source et la région supplémentaire étant contactées par des doigts ou plaques conducteurs traversant sensiblement le substrat, des doigts conducteurs isolés et espacés traversant de haut en bas la région intermédiaire, la distance horizontale entre les doigts isolés étant telle que la région intermédiaire puisse être inversée quand une tension appropriée est appliquée à ces doigts isolés.

25            Selon un mode de réalisation de la présente invention, chacun des doigts conducteurs est respectivement connecté à une métallisation de source, à une métallisation de grille, et à une métallisation de drain.

30            Selon un mode de réalisation de la présente invention, des métallisations localisées s'étendent verticalement entre la région de source et la région intermédiaire pour constituer des courts-circuits localisés.

35            Selon un mode de réalisation de la présente invention, les doigts conducteurs isolés et espacés sont réalisés à partir

de doigts conducteurs traversant toute l'épaisseur de la puce dont les parois sont oxydées et qui sont remplis de silicium polycristallin dopé.

Ces objets, caractéristiques et avantages, ainsi que  
5 d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1A et 1B, décrites précédemment, sont des  
10 vues schématiques en coupe et de dessus d'une structure de transistor MOS vertical classique ;

la figure 2A est une vue en coupe schématique d'un mode de réalisation de transistor MOS selon l'invention ;

la figure 2B est une vue de dessus schématique d'un  
15 mode de réalisation de transistor MOS selon l'invention ;

la figure 2C est une vue de dessus schématique d'un autre mode de réalisation de transistor MOS selon l'invention ;

les figures 3A et 3B sont respectivement un schéma de circuit et une vue en coupe schématique d'un montage en  
20 parallèle et en opposition de deux transistors IGBT selon l'invention ; et

les figures 4A et 4B sont respectivement un schéma de circuit et une vue en coupe schématique d'un assemblage d'un transistor MOS selon l'invention et d'une diode rapide.

25 Comme cela est classique dans le domaine de la représentation des semiconducteurs, les diverses figures ne sont pas tracées à l'échelle. Notamment, dans ces diverses figures, les dimensions latérales ont été beaucoup exagérées par rapport aux directions verticales. En effet, une plaquette de silicium a  
30 couramment une épaisseur de 300 à 500  $\mu\text{m}$  - et des épaisseurs plus élevées pourront être choisies pour une mise en oeuvre de l'invention - tandis que des motifs et des vias peuvent être définis selon des dimensions de l'ordre de 5 à 50  $\mu\text{m}$ .

La figure 2A est une vue en coupe schématique d'une  
35 portion de tranche semiconductrice dans laquelle est réalisé un

ensemble de cellules de transistors MOS selon la présente invention. Les faces principales du composant correspondent aux faces supérieure et inférieure d'une tranche semiconductrice, et la dimension verticale, dont la hauteur est désignée par  $e$ , correspond à l'épaisseur de la tranche semiconductrice.

Les figures 2B et 2C sont deux exemples simplifiés de vues de dessus de la structure formée dans le substrat semiconducteur, correspondant toutes deux à la vue en coupe de la figure 2A.

Une cellule élémentaire selon la présente invention comprend un doigt conducteur 11 s'étendant sur toute l'épaisseur de la tranche ou sur une majeure partie de cette épaisseur. Le doigt conducteur 11 est bordé d'une région 12 fortement dopée de type N ( $N^+$ ), elle-même bordée d'une région intermédiaire 13 de type P puis d'une région 14 faiblement dopée de type N et d'une région 15 fortement dopée de type N servant à une reprise de contact ohmique avec un doigt conducteur 16. Comme le doigt conducteur 11, les régions 12, 13, 14 et 15 et le doigt conducteur 16 s'étendent sensiblement sur toute l'épaisseur du substrat, et les jonctions ou limites entre ces éléments sont sensiblement verticales. Le doigt conducteur 11 correspond à une métallisation de source, la région 12 à une zone de source, la région intermédiaire 13 à la zone dans laquelle il peut se former un canal, la région 14 à une zone de drain, la région 15 à une couche de reprise de contact de drain, et le doigt conducteur 16 à une métallisation de drain.

La figure 2B est une vue de dessus de la présente invention dans un mode de réalisation dans lequel les doigts conducteurs sont réalisés sous forme de plaques conductrices verticales s'étendant dans des tranchées ménagées dans un substrat semiconducteur.

On voit mieux en figure 2B, le mode de réalisation de la grille du transistor MOS selon la présente invention. Cette grille est réalisée au moyen de doigts conducteurs espacés 21 entourés d'une couche isolante 22 s'étendant verticalement dans

la région intermédiaire 13. Quand une tension positive est appliquée entre les doigts de grille 21 et le doigt de source 11, un canal se forme dans la zone verticale de la région intermédiaire 13 comprise entre deux doigts de grille, de sorte que le transistor MOS devient conducteur entre sa source et son drain, et un courant indiqué par les flèches I est susceptible de circuler horizontalement du drain à la source. On a décrit ci-dessus un transistor MOS à enrichissement ; dans le cas d'un transistor MOS à déplétion, la région intermédiaire 13, au moins au voisinage de l'isolant de grille serait faiblement dopée de type N et l'application d'une tension entre les doigts de grille 21 et le doigt de source 11 rendrait le transistor MOS non conducteur entre sa source et son drain.

On a également représenté en figure 2B des doigts conducteurs 23 pénétrant sur tout ou partie de l'épaisseur du substrat et permettant d'établir un court-circuit entre le caisson intermédiaire 13 et la région de source 12, ce qui constitue l'équivalent du court-circuit établi par la métallisation de source MS de la figure 1A entre l'anneau  $N^+$  5 et la partie centrale du caisson P 3.

La figure 2C illustre en vue de dessus un autre mode de réalisation d'un composant selon la présente invention dans lequel chaque cellule de transistor MOS présente un contour fermé. Le doigt de source central 11 est entouré d'une région annulaire 12 de type  $N^+$ , elle-même entourée d'une région intermédiaire annulaire 13 de type P, d'une région annulaire 14 de type N, et d'une région annulaire 15 fortement dopée de type N ( $N^+$ ). En figure 2C, on a représenté la structure comme complètement entourée d'un anneau conducteur 16. En pratique, cet anneau pourra être constitué d'une succession de doigts conducteurs voisins les uns des autres. Pour simplifier la représentation, on n'a pas représenté en figure 2C les doigts conducteurs 23.

On n'a pas représenté en figures 2A, 2B et 2C les métallisations de drain, de grille et de source. On comprendra,

que tous les doigts de grille 21 sont reliés à une même métallisation, tous les doigts de source 11 à une même métallisation et tous les doigts de drain 16 à une même métallisation. De préférence, comme dans un composant classique, les métallisations de drain et de source sont réalisées sur deux faces opposées de la puce semiconductrice. Selon un avantage de l'invention, la métallisation de grille peut, au choix et aussi simplement, être réalisée côté drain ou côté source, ce qui simplifie des assemblages monolithiques de composants selon l'invention.

La réalisation d'un composant selon la présente invention apparaîtra à l'homme de l'art qui pourra utiliser des techniques classiques de percement d'ouvertures en forme de vias ou de tranchées, de dopage à partir des ouvertures ainsi formées, puis de remplissage de ces ouvertures par un conducteur, par exemple un métal, par exemple du cuivre, ce remplissage étant précédé ou non de la formation d'une couche isolante. On comprendra que, bien que l'on emploie dans la présente description les termes vias ou doigts, ces termes recouvrent aussi les structures en forme de tranchées telles que celles de la figure 2B ou les structures en forme d'anneau telles que la métallisation 16 de la figure 2C.

La description ci-dessus vise essentiellement la structure du transistor MOS et l'ordre des étapes de fabrication pourra être modifié.

Comme on l'a indiqué précédemment, la présente invention s'applique non seulement à un transistor MOS mais aussi de façon générale à tout composant MOS de puissance ou haute tension, par exemple des transistors bipolaires à grille isolée (IGBT) et autres composants à commande en tension, de type MOS ou Schottky-MOS, à enrichissement ou à déplétion. Notamment, on pourra passer simplement de la structure de transistor MOS de la figure 2 à une structure d'IGBT en remplaçant la couche 15 fortement dopée de type N par une couche fortement dopée de type P.

Selon un avantage de la présente invention, la largeur de canal par unité de surface est bien plus grande que celle obtenue dans un transistor MOS vertical diffusé (VDMOS) tel que celui de la figure 1, de même que la surface totale du drain de l'ensemble des cellules peut être supérieure à la surface de la puce contenant ces cellules.

Un autre avantage de la présente invention est qu'il est possible de réaliser plusieurs composants selon l'invention dans une même tranche semiconductrice, chacun de ces composants pouvant facilement être entouré de murs isolants formés de toute façon choisie. Des exemples de tels assemblages vont être donnés en figures 3 et 4.

La figure 3A représente le schéma d'un assemblage en anti-parallèle de deux transistors IGBT selon la présente invention comprenant deux bornes principales T1 et T2 et deux bornes de commande G1 et G2. Dans la description ci-après, on appellera source et drain les bornes principales du transistor IGBT pour simplifier l'analogie avec le transistor MOS décrit précédemment.

La figure 3B représente un exemple de réalisation schématique d'un tel assemblage dans lequel de mêmes éléments qu'en figure 2A sont désignés par de mêmes références. La partie gauche de la figure représente un transistor IGBT comprenant un doigt de source 11-1, entouré d'une région N<sup>+</sup> 12-1, d'une région intermédiaire 13-1 traversée par des doigts de grille non visibles dans la figure. Une région de type N 14-1 s'étend entre la région 13-1 et une région de type P<sup>+</sup> 32-1 qui entoure un doigt de drain 16-1. Cet ensemble est séparé par un mur d'isolement 31 d'une structure disposée symétriquement par rapport à ce mur et comprenant un doigt de drain 16-2 entouré d'une région P<sup>+</sup> 32-2 et séparé par une région faiblement dopée de type N 14-2 d'une région intermédiaire 13-2 dans laquelle est susceptible de se former un canal et dans laquelle pénètrent des doigts de grille non représentés. La région intermédiaire 13-2 est en contact avec une région fortement dopée de type N 12-2 en



contact avec un doigt de source 11-2. Bien que l'on ait représenté une seule cellule, on comprendra que chacune des structures est constituée d'un ensemble de cellules, comme cela a été décrit précédemment. Les doigts de source des cellules situées à gauche du mur d'isolement sont solidaires d'une métallisation supérieure T1, de même que les doigts de drain 16-2 des cellules disposées à droite du mur d'isolement. Les doigts de drain 15-1 des cellules situées à gauche du mur d'isolement sont reliés à une métallisation inférieure T2 de même que les doigts de source 11-2 des cellules situées à droite du mur d'isolement. On a représenté seulement de façon symbolique les connexions G1 et G2 dont on notera qu'elles peuvent, sans difficulté, être réalisées sur une même face du composant.

Cette structure présente, par rapport aux structures monolithiques assemblant des transistors IGBT verticaux classiques, l'avantage que les deux transistors IGBT sont parfaitement symétriques et que les caractéristiques de ces transistors sont également parfaitement symétriques.

Les structures selon la présente invention permettent en outre d'associer des composants MOS tels que décrits précédemment et des composants bipolaires également réalisés avec des jonctions verticales (orthogonales aux faces principales du substrat).

La figure 4A représente un exemple d'une telle association, comprenant un transistor MOS, TMOS, et une diode, D, l'anode de la diode étant reliée au drain du transistor MOS. Ce circuit constitue un élément couramment utilisé en pratique et difficile à intégrer par les technologies classiques.

La figure 4B représente un mode de réalisation d'une telle structure. En figure 4B, la partie de gauche est strictement identique à la partie de gauche de la figure 3B sauf que la région de type P entourant la région de drain est remplacée par une région de type N<sup>+</sup> pour constituer un transistor MOS. Ce transistor MOS comprend un doigt de source 11, une région de source 12, une région intermédiaire 13, une région de drain 14,

et un doigt de drain 16 entouré d'une région 15 fortement dopée de type N. Cet ensemble est séparé par un mur d'isolement 32 d'une structure de diode comprenant un doigt de cathode 40 entouré d'une région 41 fortement dopée de type N et séparée, 5 par une région 42 faiblement dopée de type N, d'un doigt d'anode 43 entouré d'une région 44 de type P. Le doigt de source du transistor MOS est relié à une première métallisation principale M1. Les doigts de grille (non représentés) sont reliés à une métallisation de commande G1. Le doigt de cathode 40 de la diode 10 est relié à une métallisation M2. Les doigts de drain des cellules de transistor MOS ainsi que les doigts d'anode 43 des cellules de diodes sont reliés à une métallisation M3. Dans l'exemple représenté, la métallisation M3 est du côté de la face arrière et les métallisations M1, M2 et G1 du côté de la face 15 avant.

Les diverses structures illustrées sont susceptibles de nombreuses variantes et modifications, et l'homme de l'art notera que des variantes décrites pour certains modes de réalisation s'appliquent à d'autres modes de réalisation.

20 D'autre part, de nombreux modes de réalisation apparaîtront à l'homme de l'art et seront possibles en fonction de l'évolution de la technique, la réalisation de doigts conducteurs ou de plaques formées dans des tranchées n'étant que des exemples d'approches possibles à la réalisation de structures à 25 jonctions ou limites verticales.

On notera que, comme plus de courant par unité de surface de puce peut passer dans un transistor MOS selon l'invention que dans un transistor MOS vertical classique, plus de chaleur sera générée par unité de surface quand ce transistor 30 est passant (encore que la chute de tension à l'état passant est plus faible grâce à l'optimisation possible de l'épaisseur la couche de tenue en tension inverse). Toutefois, cette chaleur pourra être avantageusement extraite grâce aux doigts conducteurs traversants. En effet, des doigts métalliques ont une 35 conductivité thermique 2 à 3,5 fois plus élevée que le volume

équivalent de silicium. Ces doigts pourront occuper une surface importante et notamment les "doigts" périphériques pourront occuper toute la surface libre entre les cellules élémentaires d'un composant.

**REVENDEICATIONS**

1. Composant MOS de puissance caractérisé en ce que les régions actives s'étendent perpendiculairement à la surface d'une puce semiconductrice sensiblement sur toute l'épaisseur de celle-ci.

5           2. Composant selon la revendication 1, dans lequel les contacts avec les régions devant être connectées sont pris par des doigts conducteurs traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

10           3. Composant selon la revendication 2, dans lequel les doigts conducteurs sont des doigts métalliques.

4. Composant selon la revendication 1, de type multicellulaire, dans lequel les jonctions ou limites entre régions sont disposées dans des plans orthogonaux aux faces principales de la puce.

15           5. Composant selon la revendication 1, de type multicellulaire, dans lequel les jonctions ou limites entre régions sont constituées de plusieurs cylindres orthogonaux aux faces principales de la puce.

20           6. Transistor MOS de puissance selon l'une quelconque des revendications 1 à 5, comprenant en alternance une région de source d'un premier type de conductivité (12), une région intermédiaire (13), et une région de drain du premier type de conductivité (14, 15), chacune de ces régions s'étendant sur toute l'épaisseur du substrat, les régions de source et de drain étant  
25           contactées par des doigts ou plaques conducteurs (11, 16) traversant sensiblement le substrat, des doigts conducteurs isolés et espacés (21) traversant de haut en bas la région intermédiaire (13), la distance horizontale entre les doigts isolés (21) étant telle que la région intermédiaire puisse être  
30           inversée quand une tension appropriée est appliquée à ces doigts isolés.

7. Transistor MOS de puissance selon la revendication 6, dans laquelle les doigts conducteurs pénétrant dans des

régions faiblement dopées de type N sont entourés de régions fortement dopées de type N.

8. Transistor IGBT selon l'une quelconque des revendications 1 à 5, comprenant en alternance une région de source d'un premier type de conductivité (12), une région intermédiaire (13), une région de drain du premier type de conductivité (14) et une région supplémentaire (32) du deuxième type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat, la région de source et la région supplémentaire étant contactées par des doigts ou plaques conducteurs (11, 16) traversant sensiblement le substrat, des doigts conducteurs isolés et espacés (21) traversant de haut en bas la région intermédiaire (13), la distance horizontale entre les doigts isolés (21) étant telle que la région intermédiaire puisse être inversée quand une tension appropriée est appliquée à ces doigts isolés.

9. Transistor MOS de puissance ou IGBT selon la revendication 6 ou 8, dans lequel chacun des doigts conducteurs est respectivement connecté à une métallisation de source (M1) à une métallisation de grille (M3), et à une métallisation de drain (M2).

10. Transistor MOS de puissance ou IGBT selon la revendication 6 ou 8, dans lequel des métallisations localisées (23) s'étendent verticalement entre la région de source et la région intermédiaire pour constituer des courts-circuits localisés.

11. Transistor MOS de puissance ou IGBT selon la revendication 6 ou 8, dans lequel les doigts conducteurs isolés et espacés (21) sont réalisés à partir de doigts conducteurs traversant toute l'épaisseur de la puce dont les parois sont oxydées et qui sont remplis de silicium polycristallin dopé.

1/3

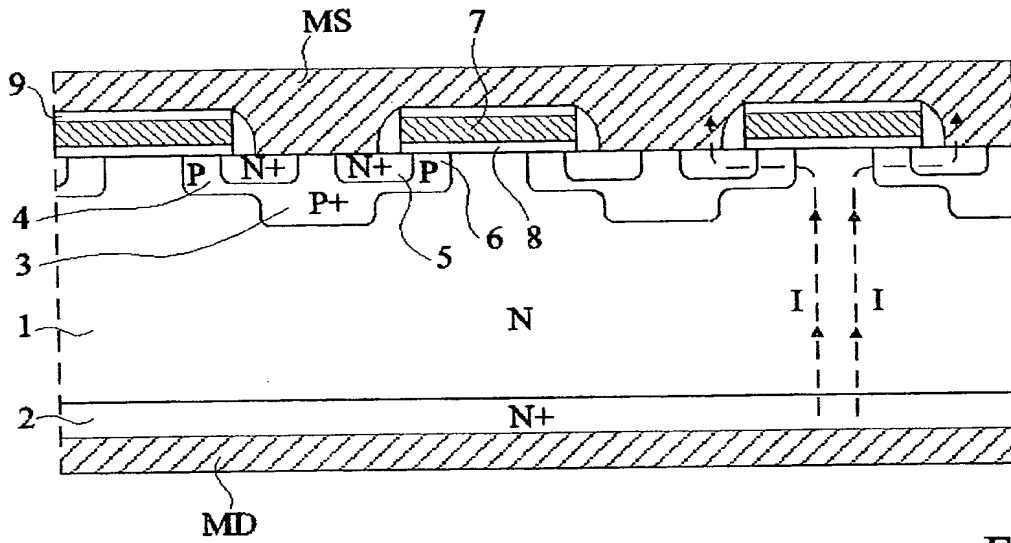


Fig 1A

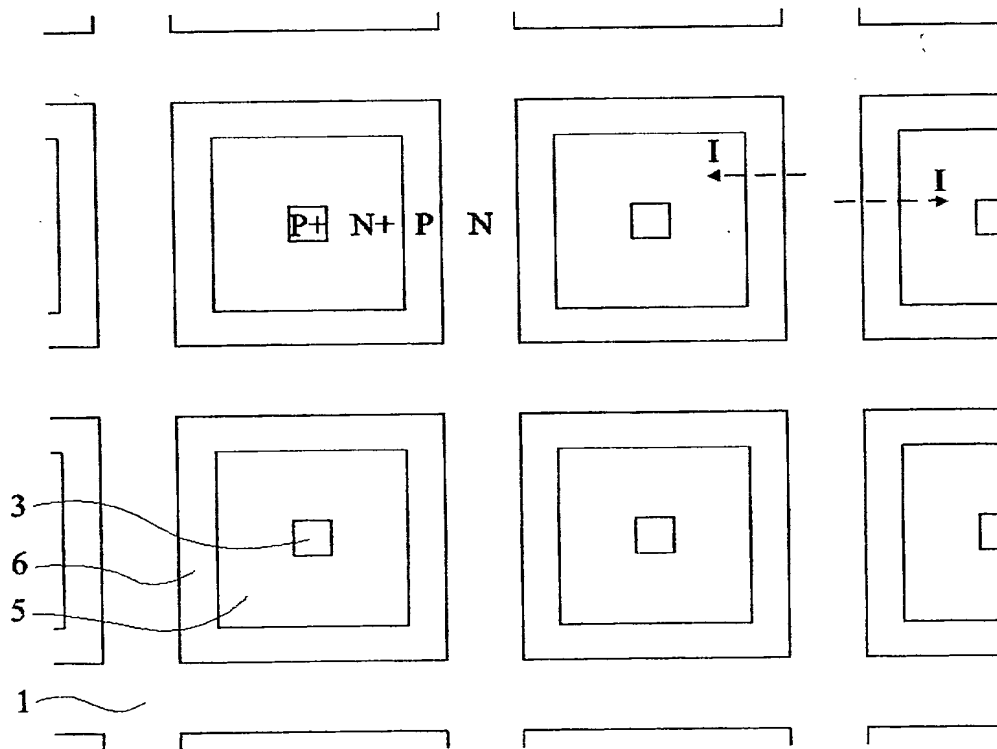
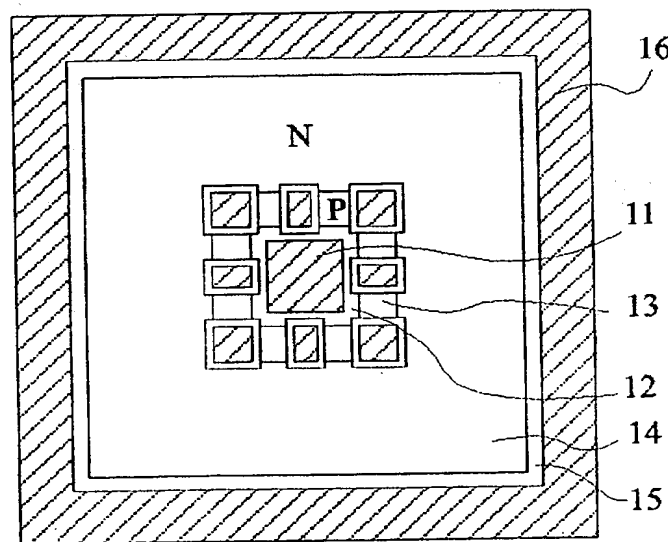
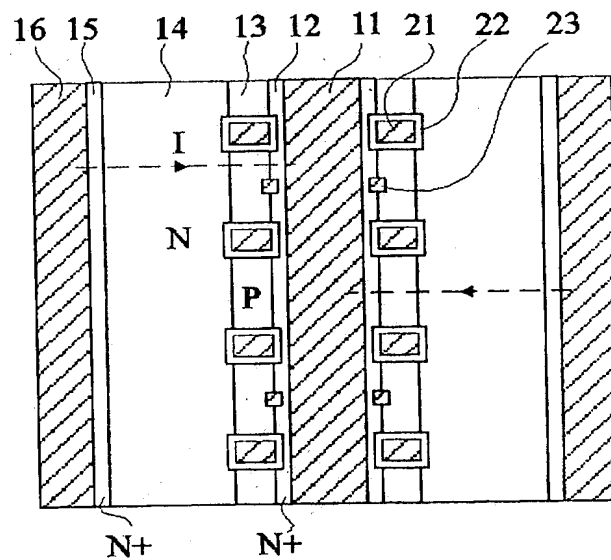
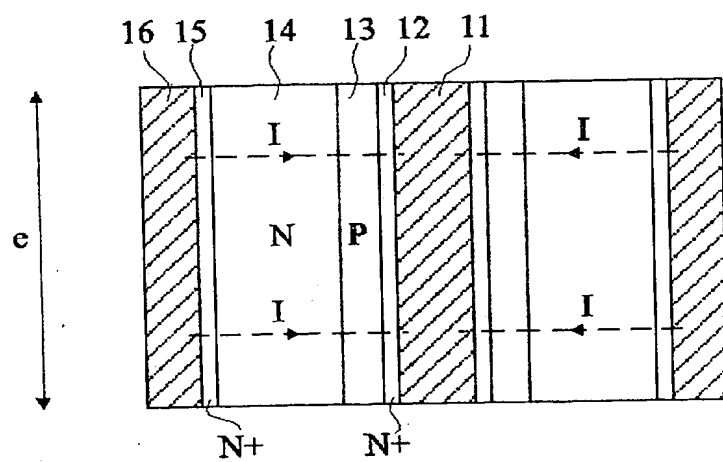


Fig 1B

2/3



3/3

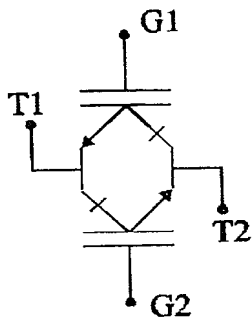


Fig 3A

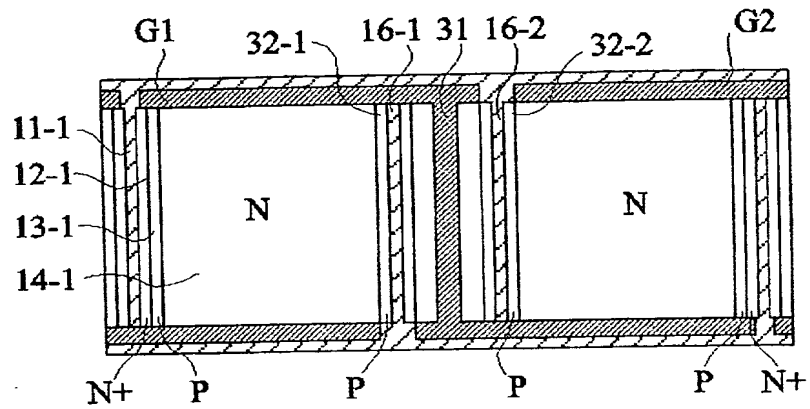


Fig 3B

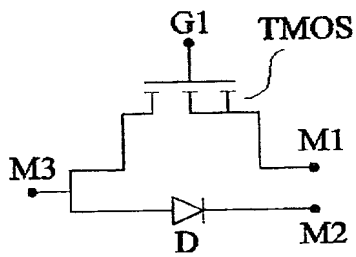


Fig 4A

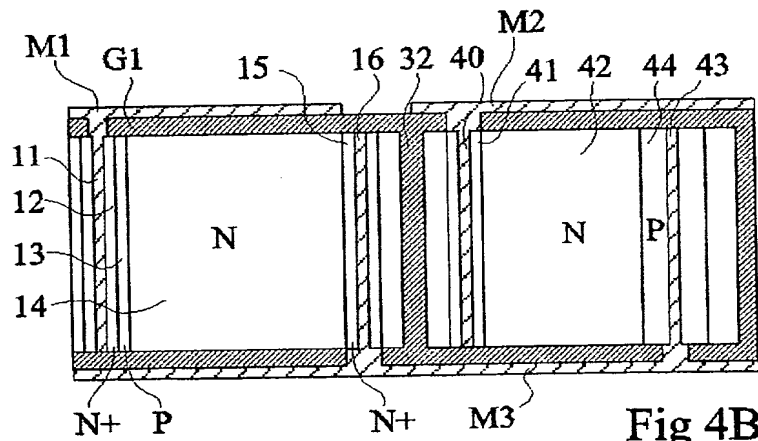


Fig 4B





## BREVET D'INVENTION CERTIFICAT D'UTILITE

### Désignation de l'inventeur

<b>Vos références pour ce dossier</b>	B6275
<b>N°D'ENREGISTREMENT NATIONAL</b>	
<b>TITRE DE L'INVENTION</b>	
	COMPOSANT MOS DE PUISSANCE A SURFACE REDUITE
<b>LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):</b>	
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S):</b>	
<b>Inventeur 1</b>	
Nom	QUOIRIN
Prénoms	JEAN BAPTISTE
Rue	6, RUE DU CEDRE
Code postal et ville	37100 TOURS
Société d'appartenance	
<b>Inventeur 2</b>	
Nom	LANOIS
Prénoms	FREDERIC
Rue	4, RUE NICOLAS DE STAEL
Code postal et ville	37100 TOURS
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

**Signé par**

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont  
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

**Fonction**

Mandataire agréé (Mandataire 1)

